

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-007110

(43)Date of publication of application : 11.01.2002

(51)Int.Cl. G06F 7/00
G06F 5/00

(21)Application number : 2000-192762

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.06.2000

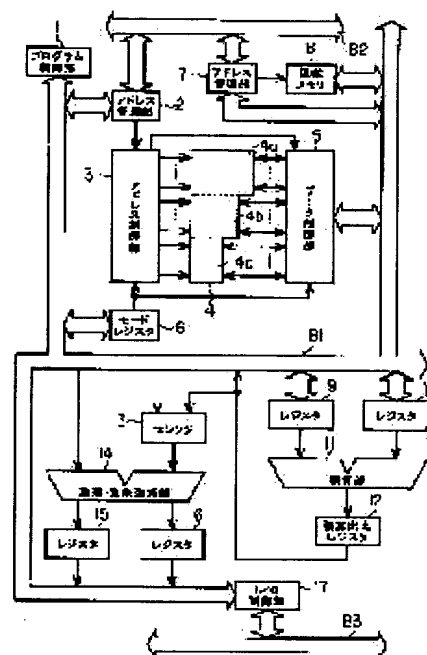
(72)Inventor : SHIBUYA KAZUTOSHI

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly realize bit processing in a simple constitution with the small number of instructions.

SOLUTION: This device is provided with a work memory 4 in which three kinds of address areas whose bit length is different from each other are allowed to coexist. The three kinds of address areas are constituted as a fixed bit length area 4a and limited bit length areas 4b and 4c, and plural address areas are respectively allowed to belong to each area. The address areas belonging to the fixed bit length area 4a are provided with bit length (n bits) for one word, and the address areas belonging to the limited bit length areas 4b and 4c are respectively provided with different bit length (m0 bit and m1 bit) shorter than the bit length for one word.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許公開番号
特開2002-7110
(P2002-7110A)

(43) 公開日 平成14年1月11日(2002.1.11)

(51) Int.Cl. ⁷ G 0 6 F 5/00	識別記号 F 1 G 0 6 F 5/00	チーコード(参考) H 5 B 0 2 2 D G
--	--------------------------------	------------------------------------

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2000-192782(P2000-192782)
(22) 出願日 平成12年6月27日(2000.6.27)

(71) 出願人 00003978
株式会社東芝

(72) 発明者 鎌谷 和俊
東京都日野市超が丘3丁目1番地の1 株

(74) 代理人 100038419
弁理士 鈴木 武彦 (外6名)

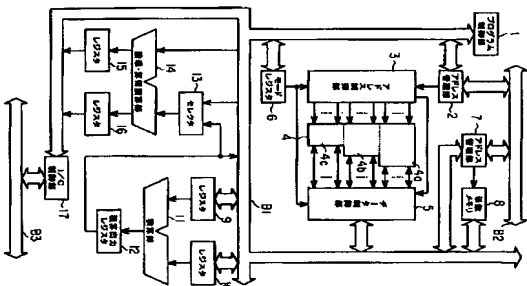
Fターム(参考) 5B022 BA07 DA05

(54) 【発明の名称】 デジタル信号処理装置

(57) 【要約】

【課題】 簡易な構成かつ少ない命令数により迅速にビット処理を実現する。

【解決手段】 それぞれビット長が異なる3種類のアドレス領域が混在して設けられた作業用メモリ4を備える。3種類のアドレス領域は、固定ビット長領域4aおよび制限ビット長領域4b、4cであり、それぞれ複数のアドレス領域が混在する。固定ビット長領域4aに属するアドレス領域は1ワード分のビット長(nビット)を、また制限ビット長領域4b、4cに属するアドレス領域は1ワードよりも短くかつそれぞれ異なるビット長(m0ビット、m1ビット)をそれぞれ有する。



【特許請求の範囲】

【請求項1】 作業用メモリへのデータの書き込みおよび読み出しによるデータ操作をともなうデジタル信号を処理するデジタル信号処理装置において、前記作業用メモリを、1ワードで指定される記憶領域として、その容量が1ワードである第1領域および容量が1／gワード(gは所定の自然数)である第2領域とを設けたものとしたことを特徴とするデジタル信号処理装置。

【請求項2】 前記第2領域が書き込み先として指定された場合に、データバスを伝送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を作業用メモリに与える書きデータ処理手段と、前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、指定された記憶領域に関連する所定のn個の記憶領域を順に読み出し先として前記作業用メモリからデータを読み出す読み制御手段と、この読み制御手段により読み出された1／gワード長のg個のデータを所定の順序で並べて1ワード長のデータとして、前記作業用メモリへ出力する出力制御手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置。

【請求項3】 前記第2領域のいずれかの記憶領域が書き込み先として指定された場合に、指定された記憶領域に関連する所定のg個の記憶領域を順に書き込み先として順次指定する書き込み制御手段と、前記第2領域が書き込み先として指定された場合に、前記書き込み制御手段により指定されたg個の記憶領域にデータバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長ずつのg個のビット列を順に与え、作業用メモリに与える書きデータ処理手段と、

前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、その記憶領域から出力される1／gワード長のデータのみを所定のビット位置に指定してなる1ワード長のデータを作成して前記データバスへ出力する読み出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置。

【請求項4】 前記第2領域が書き込み先として指定された場合に、データバスを伝送される1ワードデータにおける所定ビット位置の1／gワード長のビット列を作業用メモリに与える書きデータ処理手段と、前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、その記憶領域から出力される1／gワード長のデータのみを所定のビット位置に指定してなる1ワード長のデータを作成して前記データバスへ出力する読み出しデータ処理手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置。

【請求項5】 前記第2領域のいずれかの記憶領域が書き込み先として指定された場合に、指定された記憶領域に関連する所定のg個の記憶領域を順に書き込み先として順次指定する書き込み制御手段と、前記第2領域が書き込み先として指定された場合に、前記書き込み制御手段により指定されたg個の記憶領域にデータバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1／gワード長ずつのg個のビット列を順に与え、作業用メモリに与える書きデータ処理手段と、

前記第2領域のいずれかの記憶領域が読み出し先として指定された場合に、指定された記憶領域に関連する所定のg個の記憶領域を順に読み出し先として前記作業用メモリからデータを読み出す読み制御手段と、

この読み制御手段により読み出された1／gワード長のg個のデータを所定の順序で並べて1ワード長のデータを作成して前記データバスへ出力する出力制御手段とを具備したことを特徴とする請求項1に記載のデジタル信号処理装置。

【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は、デジタル信号処理装置などを用いられる、いわゆるDSP(Digital Signal Processor)などと呼ばれるデジタル信号処理装置に関する。

【0002】
【従来の技術】 DSPを用いた通信処理では、1ワード単位のデータ以外に1ビット、4ビットなどの1ワードよりも短いデータ(以下、制限長データと称する)を取り扱うことがある。例えば、演算結果の真偽のみを旨とする場合には、1ワードのみの結果データのうち最上位の1ビットのみのみでの処理に用いられることとなる。

【0003】 さて、通常DSPが有するメモリは、アドレスに対応する記憶領域が1ワード長に設定されている。従って制限長データを1ワード幅のメモリに格納すると、メモリの利用効率が低下してしまふ。例えば、1ビット長の制限長データを1000個メモリに格納する場合、通常は1000個の記憶領域を占有することとなり、1ワード分が必要となる。すなわち、1ワードを16ビットとするならば、実際のデータの16倍もの容量の記憶領域を占有してしまうことになる。

【0004】 しかし、制限長データを1ワード分速く格納してメモリに格納することすれば、実際のデータ量と容量の記憶領域で全てのデータを格納することが可能である。

【0005】 そこで従来より、このような制限長データの連結処理(以下、パック動作と称する)を行うことでメモリ使用効率の向上を図ることが行われている。なお、このパック動作を行う場合、制限長データを用いた処理を行うために連結データから個々の制限長データを分離する処理(以下、アンパック動作と称する)も行う

こととなる。

【0006】さて、このような「ソック動作=ペンソック動作」を通常の論理型処理により実現する場合、対象データの抽出・利用のソック処理のみの論理演算（AND、OR）を必要とせざるを得ない。また、ソック動作を行うための論理型（OR）演算を行うなどの処理を及ぼすことになる。このため、多数の命令を及ぼさなければならず、実質的な処理速度の向上の妨げとなってしまう。

【0007】なお、上述のようなバック動作やフック動作を及ぼすユニットをDSPの外部に設けて、このユニットを外部バスを介してアタセスすることで、バックされたデータをDSP内部のメモリに格納可能とする構成も考えられるが、この場合には外部バスへのアタセスが必要であるために、依然として多数の命令を実行しなければならぬ。

【0008】そこで、ハック動作やアンハック動作を簡単に良く行うことを可能とするために使用可能なメモリアクセスモード機能を有するDSPが存する

【0009】ここでメモリアクセスモードとは、ノー

ド、パイナ、ビット車道などでメモリをアクセスするモードである。そしてこのメモリアクセスモードを利用すれば、例えばメモリアクセスをパイナモードに設定し、1ビットデータを1ビット車道でメモリに格納したのち、ワードモードに切替えて読み出しとバック動作が可能となる。また、ワードモードでデータを格納し、パイナモードに切替えて読み出せば、ビットデータの切り出し（ピンバック動作）が可能となる。

【0010】しかしながら、メモリアクセスモード機能を実現するためには、全メモリ空間についてのアクセス形態をセクタ毎で変更できるようにするためにアドレスデコーダおよび出力デコーダ、非常な複雑な構成が必要となる。そしてこの間のデコーダの増加などの問題が必然的に、メモリアクセス速度の低下を来した。その結果、D/S伝送速度の向上の妨けになるなどの不具合が生じる。

【0011】また、無線通信端末などにおいてはインタ
リープ処理が行われることが多いが、このようなインタ
リープ処理は1ビット位などのような小さなデータプロ
ツクの並び替えにより実現される、

【0012】従ってこのような処理も、多数の命令の組み合わせによるか、あるいはメモリアクセスモード機能を用いたDSPを用いなければならず、演算速度向上の妨げとなっていた、

【0013】
 【発明が解決しようとする課題】以上のように従来は、DSPにてベクトル動作・アンプ動作やインターリーブ処理など、様々なデータ処理を行うという、多数の命令を使用しなければならなかったり、メモリアクセスモード機能を備えた低コストDSPを用いなければならな

いといふ不具介があつた。

【0014】本発明はこのような事情を考慮してなされたものであり、その目的とするところは、簡易な構成かつ少ない命令数により、高速にビット処理を実現することができるデータジョーグル信号処理装置を提供することにある。

【point】
 ●記憶を解読するための手段
 ●最初に第1の記憶域は、作業用メモリへのデータの書き込みおよび読み出しによるデータ操作を主としてデジタル形式のデータを使用するデジタル言語処理装置において、前記作業用メモリを、アドレスで指定される例えば固定ビット長領域などの記憶領域として、その容量が1ワードである第1領域および容量が1/8ワード(8は所定の自然数)である例えば記憶ビット長領域などの第2領域とを有したものであるとした。

【0016】このような下段を講じたことにより、作業用メモリの第2領域へのデータの書き込みや読み出しを適宜行うことで、1ノードは他のノード単位でのデータ処理を行うことの実施が可能となる。

【0001】また上記目的を達成するために、第2の本発明は、前記第1の発明に加えて、前記データベースを伝送される光として指定された領域に、データバスを伝送される1ワード・データにおける所定ビット位置の1/8ワード長のビット列を作業用メモリに与える例え、またはデータ制御部などの処理データ処理手段と、前記2領域のいずれかの記憶領域が読出し先として指定された場合に、指定された記憶領域に関連する所定の8個の記憶領域を抽出し、読出し先として前記作業用メモリからデータを読み出す例え、または読出制御部などの読出制御手段と、この読出制御手段により読み出された1/8ワードの8個のデータを中心とする範囲で、必ず1ワード長のデータを生じとして前記データベースと出力する例え、または読出制御部などの読出しデータ処理手段とを備えた。

【0010】このような手段を講じたことにより、データバンクを伝送される1ワードデータにおける作業用ビット配置の1/8ワード長のビット列が追加される作業用メモリの第2領域に格納される。そしてこの第2領域に記憶された所定の8個のビット列が読み出され、これらを用いて動作して1ワード長のデータが生成される。従って、8個の1ワードデータにおける所定ビット配置の1/8ワード長のビット列をそれぞれ連結するパターン動作が行われる。

【0009】また上記目的を達成するために第3の本発明は、前記第1の発明に加えて、前記第2領域のいずれかの記憶領域が関連先として指定された場合に、指定された記憶領域に関連する所定のR側の記憶領域を順に片立み先として順次指定する例えばアドレス制御部などを含む。また、前記第2領域が片立み先として指定された場合に、前記片立み領域制御手段により指定

定された。この記憶領域にデータバス1を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長ずつの各データのビット列を順に与えておく作業用メモリに与える例えばデータ制御部からの送受データ処理手段と、前記第2記憶域の1つ以上の記憶領域が读出し定して指定された場合に、その記憶領域から出力される1/8ワード長のデータのみを所定のビット位置に設定する1ワード長のデータを作成して前記データバスと出力する例えばデータ制御部からの送出しデータ処理手段とを備えた。

【0002】このような手段を講じたことにより、データバスを伝送される1ワードデータにおける各ビット列の異なる位置にビット位置の1/8ワード未満の200個のビット列がそれぞれ抽出されて作業用メモリ上の第2領域に格納される。そしてこの第2領域に記憶される1/8ワード未満のデータのそれぞれの読み出し時に、その1/8ワード未満のデータのみを所定のビット位置に記憶してなる1ワードのデータを生成される。従って、1/8ワード未満のビット列のそれぞれを伝送してなるデータから1/8ワードのビット列のそれぞれを生成する動作が行われる。

【0007】また上記目的を達成するために第4の本発明は、前記第1の発明に加えて、前記第3を発見がなされた場合に、先に決定された場合には、データバスを伝送される1ワードまたは2ワードのビット列の1／8ワード長のビット列を作成しメモリに与える例えばデータ制御部などの方法でデータ処理手段と、前記第2の塊のいずれかの記憶領域から抽出し先として指定された場合には、その記憶領域から出力する1／8ワード長のデータのみを記憶領域から抽出して決定する1ワード長のデータを生成して前記データバスへと出力する例えばデータ制御部などとの抽出しデータ処理手段とを備えた。

【00022】このような手段を講じたことにより、データバスを伝送される1ワードデータにおける任意ビット位置の1/8ワード長のビット列の抽出が可能となる。前記の1/8ワード長のビット列の抽出は、抽出された1/8ワード長のビット列の読み出し位置に規定された1/8ワード長のデータが抽出される時に、その1/8ワード長のデータの読み出し位置に1ビットに規定した1ワード長のデータが抽出される。従って、1ワード長のビット列における所定ビット位置の1/8ワード長のビット列の抽出が行われる。

【00023】また上記目的を達成するために、前記の本発明は、前記第1の発明に加えて、前記第2の発明のいずれか

かの記憶領域が書き込み先として指定された場合に、指定された記憶領域に関連する所定の8個の記憶領域を順に書き込み先として順次指定する例えがアドレス制御部などの書き込み領域制御部と、前記第2領域が書き込み先として指定された場合に、前記書き込み領域制御部により指定された8個の記憶領域にデータバスを伝達される1ワードデータにおけるそれぞれ異なる所定ビット位置の

1/8ワード長すつの8個のビット列を順次に読み込むべく作業用メモリに与える例はデータ制御部などの片データ制御手段と、前記第2領域のデータ制御部との片データ制御手段と、前記第2領域のデータ制御部との片データ制御手段とを有する特定の8個の記憶領域を順次に読みし先として前記作業用メモリからデータを例えばアドレス制御部などの読み出し制御部手段と、この読み出し制御部により読み出された1/8ワード長の8個のデータを特定の順序で並び立て1ワードのデータを生成して前記データバンプで出力する例はデータ制御部などを読み出しデータ制御手段とを備えた。

【0024】このような手段を講じたことにより、データバスを伝送される１ワードデータにおけるそれぞれ異なる所定ビット位置の１／８ワード長^(*)の各個のビット列がそれぞれ分離されて作業用メモリの第２領域に格納される。そしてこの第２記憶領域に記憶された１／８ワード長のビット列の読み出し時に、その１／８ワード長の各個のデータを所定の順序で並べて１ワード長のデータが形成される。従って、１ワードデータにおけるデータが置き換わる。従って、１ワードデータにおける

それとそれ等の並べたワード長の１／８ワード長の各個のデータを一旦分離した上で、それから１／８ワード長ずつの各個のビット列をそれぞれ進出するハワック動作が行われる。

【0025】
【発明の実施の形態】以下、図面を参照して本発明の実施形態につき説明する。

【0026】図1は本実施形態のデジタル信号処理装置を適用して構成されたDSPの要部構成を示すブロック図である。

1002/1 この図に示すように本実施形態の1051Fは、プロセッサ制御部1、アドレス管理部2、アドレス制御部3、作業メモリ4、データ制御部5、アドレスレジスタ6、アドレス管理部7、係数メモリ8、レジスタ9、10、積算部11、積算出力レジスタ12、セクタ13、論理・算術演算部14、レジスタ15、16および17/O制御部17を有している。

【0003】として、フログチラム副課長1、アブレス管理課2、データ副課長5、オートレゾグラフィ部1、レジスタ管理課7、係長モリ8、レジスタ9、10、板割出力レジスタ42、セクタ13、論理・算術演算部14、レジスタ15、16および1/O副課長17は、それぞれデータバス12に接続されている。またアブレス管理部2、アブレスバス12に、1/O副課長17は外部バス13にもそれぞれ接続されている。

【0029】プログラム制御部1は、任意に設定されるプログラムに基づいて、そのプログラムの記述内容に応じた任意の信号処理を実現するべく各部の動作を制御する。なお図1を省略しているが、このプログラム制御部1の制御対象となる部分とプログラム制御部1との間には制御線により接続されている。

なわち、1ワード長のデータを生成する。そして作業川モリ4から出力されるデータを個々には出力することに、生成した1ワード長のデータをデータバス11

と出力する。

【0069】1ワード中の所定位置のm1ビット分のビット列をn/m1ワード分連結するバツク動作を行う場合には、書き込み先および読出し先のアドレスを、j + 1..., j + hとして、かつ制限ビット長領域4cを使用して、図4(b)に示すような上記と同様な動作により実現される。なおここでのhは $\lceil (n/m) - 1 \rceil$ で求まる値であり、 $n = 16$ 、 $m_1 = 1$ とするならば、 $h = 15$ となる。

【0070】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b、4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、n/m0個またはn/m1個の1ワードデータから抽出したm0ビットまたはm1ビット長ずつのビット列をバツクしてなる1ワード長のデータを生成することができる。

【0071】(第2モード) このモードは、m0ビット長ずつのビット列をn/m0個ハツクしてなる1ワードデータの、m1ビット長ずつのビット列をn/m1個ハツクしてなる1ワード長のデータから抽出したm0ビットまたはm1ビット長ずつのビット列を生成する動作を行うモードである。

【0072】m0ビット長ずつのビット列をn/m0個ハツクしてなる1ワード長のデータを分離するアンバツク動作を行う場合には、まず分離すべき1ワードデータがデータバス1へ伝送されるときに、制限ビット長領域4bに属する任意のアドレス領域のアドレスiを書込み先として指定することとする。

【0073】そうするとアドレス制御部3は、アドレスiから連結するn/m0個のアドレス領域、すなわちアドレスi、i + 1..., i + kのアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0074】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバス1を介して到来する1ワード長のデータを上位からm0ビット分かつ分離して、作業用メモリ4のアドレスi、i + 1..., i + kのアドレス領域へそれぞれ出力する。

【0075】かくして、図5(a)に示すように、アドレスi、i + 1..., i + kの各アドレス領域に、1ワード長のデータから分離されたm0ビットずつのn/m0個のデータがそれぞれ書き込まれることとなる。

【0076】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、各データが記憶されたアドレス領域のアドレスi、i + 1..., i + kを順次指定することとする。

【0077】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアク

セス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0078】これにより、作業用メモリ4からはアドレスi、i + 1..., i + kの各アドレス領域に格納されているm0ビットずつのデータが順にn/m0個出力されることとなる。

【0079】そこでデータ制御部5は、このm0ビットずつのデータのそれぞれを上位側に配し、残りのビットを全て「0」とした1ワード長のデータとして順次データバス1へと出力する。

【0080】m1ビット長ずつのビット列をn/m1個ハツクしてなる1ワード長のデータからm1ビット長ずつのビット列を分離するアンバツク動作を行う場合には、書き込み先および読出し先のアドレスをj、j + 1..., j + hとして、かつ制限ビット長領域4cを使用して、図5(b)に示すような上記と同様な動作により実現される。

【0081】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b、4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、m0個またはm1ビット長ずつのビット列をn/m0個またはn/m1個ハツクしてなる1ワード長のデータからm1ビット長ずつのビット列を分離することができる。

【0082】(第3モード) このモードは、1ワード中の所定位置のm0ビット分のビット列や1ワード中の所定位置のm1ビット分のビット列を抽出するモードである。

【0083】1ワード中の所定位置のm0ビット分のビット列を抽出する場合には、その抽出すべきビット列を含むデータがデータバス1へ順次伝送されるのに合わせて、制限ビット長領域4bに属する連結するn/m0個のアドレス領域を書込み先アドレスi、i + 1..., i + kとして順次指定することとする。

【0084】そうするとアドレス制御部3は、このn/m0個の書き込み先アドレスのそれぞれがホストアドレス領域をアクセス先とするべくセレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0085】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバス1を介して到来する1ワード長のデータのうちの上位m0ビットのみを作業用メモリ4に与える。

【0086】かくして、図6(a)に示すように、アドレスi、i + 1..., i + kの各アドレス領域に、データのうちの上位m0ビットずつがそれぞれ書き込まれることとなる。

【0087】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、各データが記憶されたアドレス領域のアドレスi、i + 1..., i + kを順次指定することとする。

【0088】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアドレス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0089】これにより、作業用メモリ4からはアドレスi、i + 1..., i + kの各アドレス領域に格納されているm0ビットずつのデータが順にn/m0個出力されることとなる。

【0090】そこでデータ制御部5は、このm0ビットずつのデータのそれぞれを上位側に配し、残りのビットを全て「0」とした1ワード長のデータとして順次データバス1へと出力する。

【0091】1ワード中の所定位置のm1ビット分のビット列を抽出する場合には、書き込み先および読出し先のアドレスをj、j + 1..., j + hとして、かつ制限ビット長領域4cを使用して、図6(b)に示すような上記と同様な動作により実現される。

【0092】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b、4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、1ワード中の所定位置のm0ビット分のビット列や1ワード中の所定位置のm1ビット分のビット列を抽出することができる。

【0093】(第4モード) このモードは、m0ビット長ずつのビット列をn/m0個ハツクしてなる1ワード長のデータや、m1ビット長ずつのビット列をn/m1個ハツクしてなる1ワード長のデータからm0ビットまたはm1ビット長ずつのビット列を抽出分離した上で、再度m0ビット長ずつのビット列をn/m0個ハツクしてなる1ワード長のデータや、m1ビット長ずつのビット列をn/m1個ハツクしてなる1ワード長のデータを生成するアンバツク動作を行うモードである。

【0094】m0ビット長ずつのビット列をn/m0個ハツクしてなる1ワード長のデータのアンバツク動作を行う場合には、まず分離すべき1ワードデータがデータバス1へ伝送されるときに、制限ビット長領域4bに属する任意のアドレス領域のアドレスiを書込み先として指定することとする。

【0095】そうするとアドレス制御部3は、アドレスiから連結するn/m0個のアドレス領域、すなわちアドレスi、i + 1..., i + kのアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0096】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバス1を介して到来する1ワード長のデータを上位からm0ビット分かつ分離して、作業用メモリ4のアドレスi、i + 1..., i + kのアドレス領域へそれぞれ出力する。

【0097】かくして、図7(a)に示すように、アドレスi、i + 1..., i + kの各アドレス領域に、1ワード長のデータから分離されたm0ビットずつのn/m0個のデータがそれぞれ書き込まれることとなる。

【0098】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、連結するデータが記憶された先頭のアドレス領域のアドレスiを指定することとする。

【0099】そうするとアドレス制御部3は、アドレスiから連結するn/m0個のアドレス領域、すなわちアドレスi、i + 1..., i + kのアドレス領域をそれぞれ読出し先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0100】これにより、作業用メモリ4からはアドレスi、i + 1..., i + kの各アドレス領域に格納されているm0ビットずつのデータが順にn/m0個出力されることとなる。

【0101】そこでデータ制御部5は、このn/m0個のm0ビットデータを上位側から順に配置した状態で連結すること、図7(a)に示すようにnビット長、すなわち1ワード長のデータを生成する。そして作業用メモリ4から出力されるデータを順次には出力することなしに、生成した1ワード長のデータをデータバス1へと出力する。

【0102】1ワード中の所定位置のm1ビット分のビット列をn/m1ワード分連結するバツク動作を行う場合には、書き込み先および読出し先のアドレスをj、j + 1..., j + hとして、かつ制限ビット長領域4cを使用して、図7(b)に示すような上記と同様な動作により実現される。

【0103】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b、4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、m0ビット長ずつのビット列をn/m0個ハツクしてなる1ワード長のデータの、m1ビット長ずつのビット列をn/m1個ハツクしてなる1ワード長のデータのアンバツク動作を行うことができる。

【0104】以上のように本実施形態によれば、ユーザ側、すなわちプログラム作成者側から見ると制限ビット長領域4b、4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとにより各面のビット処理を行うことが可能である。従って、命令数は

データの書き込みや読み出しに関する少数で済み、短時間で処理することが可能である。

【0105】しかも本実施形態では、メモリアクセスモード機能を行なうDSPのように作業用メモリ4でのアドレス領域とアドレスとの対応関係を変化させる必要が無く、逐次のアドレスにより作業用メモリ4のアクセス制御を行なうので、アドレス制御部3は簡易な構成により実現可能であり、作業用メモリ4のアクセス速度の低下は最小限に抑えることができる。

【0106】このようなことから本実施形態によれば、高速にビット処理を行うことが可能である。

【0107】なお本発明は上記実施形態に限定されるものではない、例えば上記実施形態では、1ワード長のデータからの抽出するビット列を1ワード長のデータの上位側のビット列としているが、この抽出するビット列の位置は任意に設定可能である。

【0108】また上記実施形態では、ハッシュ動作の際には抽出したデータをその抽出前に連結するものとしているが、この連結動作は任意に設定可能である。例えばメモリ4に、連結動作で抽出前に書き込まれるようにすることで、ビット単位でのデータの並び替えが実現できる。

【0109】また上記実施形態では、制限ビット長領域を4bおよび4cの2種類揃えることとしているが、1種類のみの揃えるようにしても良いし、3種類以上揃えるようにしても良い。

【0110】また上記実施形態では、4つのモードを備えて、4種類のビット処理を選択的に実行可能としているが、上記の4つのモードの全てを揃える必要はない、そして1種類のビット処理を行うように構成することも可能であり、その場合にはモード選択のための構成を排除できる。

【0111】また上記実施形態では、アドレス制御部3およびデータ制御部5の処理を変更することで任意のビット処理を行うことが可能であり、上記実施形態に挙げた4種類のビット処理以外のビット処理を行うようにしても良い。

【0112】また、行うビット処理によっては、アドレス制御部3やデータ制御部5での処理をソフトウェア処理により行うようにすることも可能である。

【0113】また上記実施形態では、本発明に係るデジタル信号処理装置をDSPに適用した例を示しているが、LSI化しないで実現するなどのように他の形態で実現することも可能である。

【0114】このほか、本発明の要旨を逸脱しない範囲で種々の変形実施が可能である。

【0115】

【発明の効果】第1の本発明は、作業用メモリを、1アドレスで指定される記憶領域として、その容量が1ワードである第1領域および容量が1/8ワード(8は所定

の自然数)である第2領域とを設けたものとしたので、作業用メモリ第2領域へのデータの書き込みや読み出しを適宜行うことで、1/8ワード分のビット列単位でのビット処理を行うことが可能となり、しかもアドレス制御部に關しては第1領域および第2領域のいずれも同じアドレス領域として扱えば良く、この結果、簡易な構成かつ少ない論点数により高速にビット処理を実現することができ、デジタル信号処理装置となる。

【0116】また第2の本発明は、データバスを伝送される1ワードデータにおける所定ビット位置の1/8ワード長のビット列を抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された所定の8側のビット列を所定の順序で並べて1ワード長のデータを作成するようにしたので、8側の1ワードデータにおける所定ビット位置の1/8ワード長のビット列をそれぞれ連結するハッシュ動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0117】また第3の本発明は、データバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長ずつの8側のビット列をそれぞれ抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1/8ワード長のデータを個々に所定のビット位置に設定してなる1ワード長のデータを作成するようにしたので、1/8ワード長のビット列を8側連結してなるデータから1/8ワード長のビット列のそれぞれを分離するアンハッシュ動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0118】また第4の本発明は、データバスを伝送される1ワードデータにおける所定ビット位置の1/8ワード長のビット列を抽出して作業用メモリ第2領域に11格納し、さらにこの第2記憶領域に記憶された1/8ワード長のビット列のみを所定のビット位置に設定してなる1ワード長のデータを作成するようにしたので、1ワードデータにおける所定ビット位置の1/8ワード長のビット列の抽出処理を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0119】また第5の本発明は、データバスを伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長ずつの8側のビット列をそれぞれ分離して作業用メモリ第2領域に11格納し、さらにこの第2記憶領域に記憶された1/8ワード長のビット列を所定の順序で並べて1ワード長のデータを作成するようにしたので、1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長ずつの8側のビット列をそれぞれ連結するハッシュ動作を作業用メモリへの書き込みおよび読み出し処理により行うこ

とが可能なデジタル信号処理装置となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るデジタル信号処理装置を適用して構成されたDSPの要部構成を示すブロック図。

【図2】図1中の作業用メモリ4の詳細構成を示すブロック図。

【図3】図1中のプログラム制御部1の詳細構成を示すブロック図。

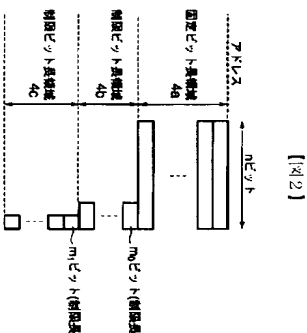
【図4】第1モードにおけるハッシュ動作の様子を示す図。

【図5】第2モードにおけるアンハッシュ動作の様子を示す図。

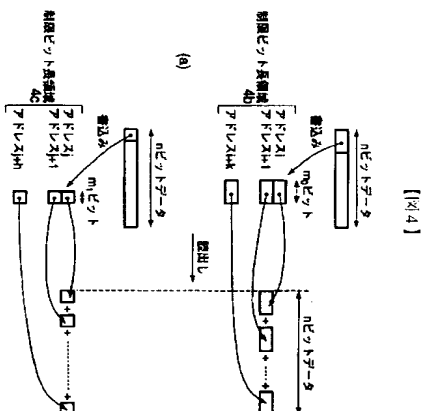
【図6】第3モードにおけるビット抽出動作の様子を示す図。

【図7】第4モードにおけるハッシュ動作の様子を示す図。

【符号の説明】
1…プログラム制御部

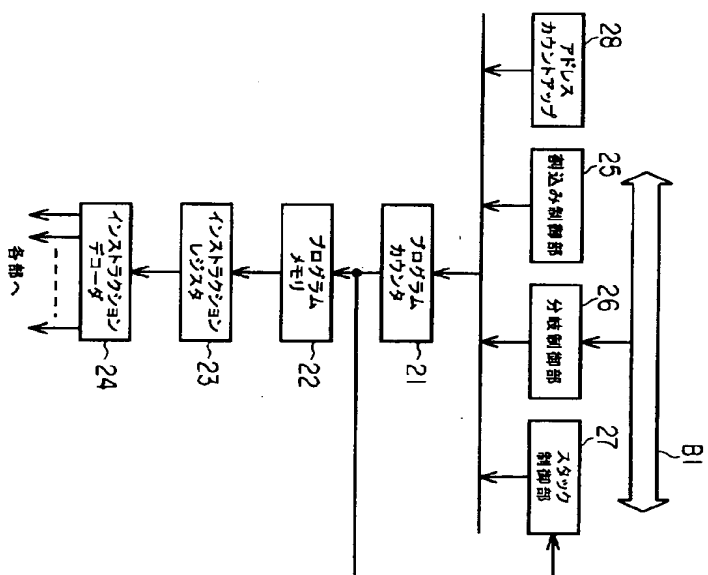
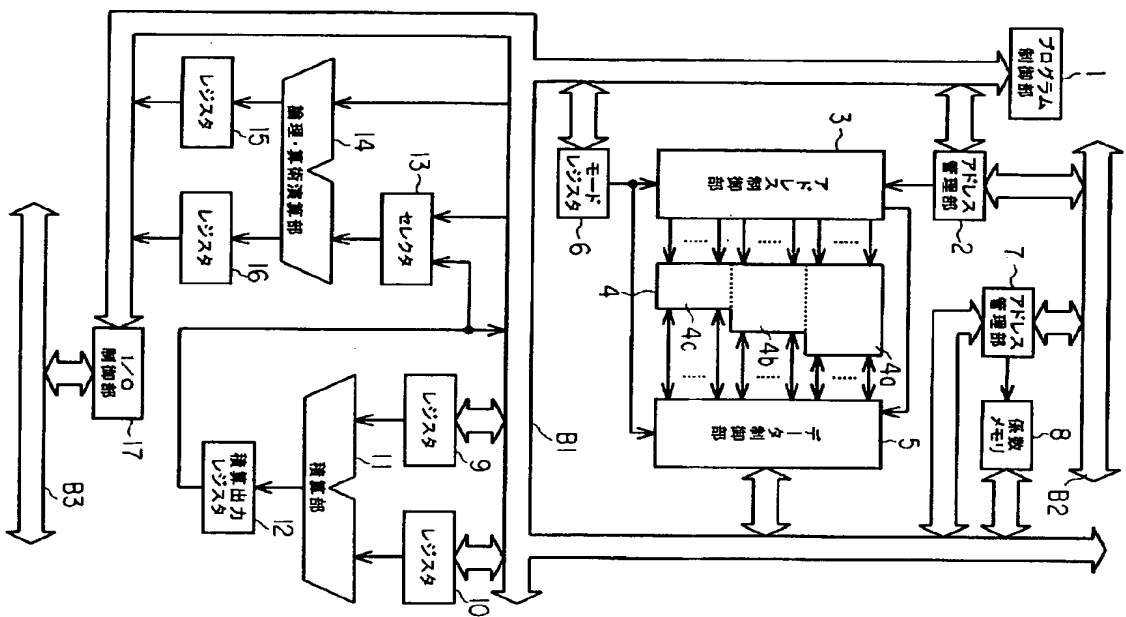


【図2】



【図4】

(b)



【9】



【文7】

